

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-009056
 (43)Date of publication of application : 11.01.2002

(51)Int.CI. H01L 21/3065
 H01L 21/027
 H01L 21/306
 H01L 21/3213
 H01L 27/108
 H01L 21/8242

(21)Application number : 2000-188160 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 22.06.2000 (72)Inventor : ISHIBASHI TAKEO

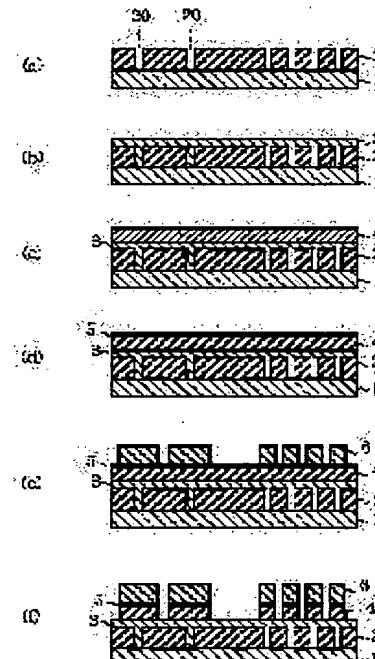
(54) FINE PATTERN FORMING METHOD AND DEVICE MANUFACTURED BY THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To solve a problem that a whole remaining pattern becomes small when the fine pattern of not less than the resolution of lithography technology is formed.

SOLUTION: A hard mask film whose etching speed differs from a worked film formed on a substrate and becomes a mask with respect to the worked film at the time of etching is formed. A first resist pattern is formed on it by lithography. A hard mask pattern is formed by etching a part except for a part covered by the resist pattern until the upper face of the worked film is exposed. Thus, a hard mask pattern is formed, the first resist pattern is removed, and a second resist pattern is formed on the hard mask pattern by lithography.

Anisotropic etching is performed on a part except for a part covered by the second resist pattern. Then, the worked film is etched by making the anisotropically etched hard mask pattern as a mask.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]



[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-9056

(P2002-9056A)

(43)公開日 平成14年1月11日 (2002.1.11)

(51)Int.Cl.⁷

識別記号

F I

テ-マコ-ト^{*}(参考)

H 01 L 21/3065
21/027
21/306
21/3213
27/108

H 01 L 21/302
21/30
21/306
21/88
27/10

H 5 F 0 0 4
5 0 2 A 5 F 0 3 3
F 5 F 0 4 3
D 5 F 0 4 6
6 8 1 F 5 F 0 8 3

審査請求 未請求 請求項の数 9 O L (全 9 頁) 最終頁に続く

(21)出願番号

特願2000-188160(P2000-188160)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22)出願日

平成12年6月22日 (2000.6.22)

(72)発明者 石橋 健夫

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100066474

弁理士 田澤 博昭 (外1名)

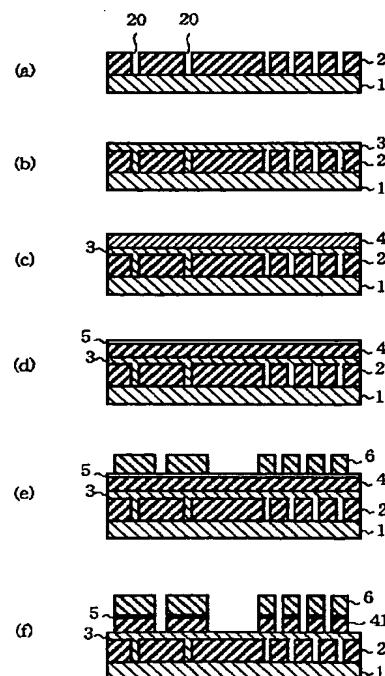
最終頁に続く

(54)【発明の名称】 微細パターン形成方法およびその方法により製造した装置

(57)【要約】

【課題】 リソグラフィー技術の解像力以上の微細パターンを形成する場合に、残しパターン全体が小さくなるといった課題があった。

【解決手段】 基板上に成膜した被加工膜とはエッティング速度が異なりエッティング時に被加工膜に対するマスクとなるハードマスク膜を成膜し、この上にリソグラフィーにより第1レジストパターンを形成し、このレジストパターンで覆われた部分以外を被加工膜の上面が露出するまでエッティングすることによりハードマスクパターンを形成し、第1レジストパターンを除去した後、ハードマスクパターン上にリソグラフィーにより第2レジストパターンを形成し、この第2レジストパターンで覆われた部分以外に等方性エッティングを行い、第2レジストパターンを除去した後、一部が等方性エッティングされたハードマスクパターンをマスクとして、被加工膜をエッティングするようにした。



1

【特許請求の範囲】

【請求項1】 基板上に被加工膜を成膜する工程と、上記被加工膜とエッティング速度が異なりエッティング時に被加工膜に対するマスクとなるハードマスク膜を成膜する工程と、このハードマスク膜上にリソグラフィーにより第1レジストパターンを形成する工程と、この第1レジストパターンで覆われた部分以外を上記被加工膜の上面が露出するまでエッティングしハードマスクパターンを形成する工程と、上記第1レジストパターンを除去する工程と、上記ハードマスクパターン上にリソグラフィーにより第2レジストパターンを形成する工程と、この第2レジストパターンで覆われた部分以外に等方性エッティングを行う工程と、上記第2レジストパターンを除去する工程と、一部が等方性エッティングされたハードマスクパターンをマスクとして、上記被加工膜をエッティングする工程とを備えた微細パターン形成方法。

【請求項2】 被加工膜が導電性膜からなるとともに、ハードマスク膜が絶縁膜からなることを特徴とする請求項1記載の微細パターン形成方法。

【請求項3】 導電性膜がポリシリコン、タングステンシリサイド、アルミニウムおよびタングステンのうち少なくとも1種類またはこれらの多層膜により構成されるとともに、絶縁膜がシリコン酸化膜およびシリコン窒化膜のいずれか一方またはこれらの二層膜により構成されることを特徴とする請求項2記載の微細パターン形成方法。

【請求項4】 被加工膜が絶縁膜からなるとともに、ハードマスク膜が導電性膜からなることを特徴とする請求項1記載の微細パターン形成方法。

【請求項5】 絶縁膜がシリコン酸化膜およびシリコン窒化膜のうち一方またはこれらの二層膜により構成されるとともに、導電性膜がポリシリコン、タングステンシリサイド、アルミニウムおよびタングステンのうち少なくとも1種類またはこれらの多層膜により構成されることを特徴とする請求項4記載の微細パターン形成方法。

【請求項6】 等方性エッティングをウェットエッティングで行うことを特徴とする請求項1記載の微細パターン形成方法。

【請求項7】 第1のレジストパターン形成前に反射防止膜を形成する工程をさらに備えたことを特徴とする請求項1記載の微細パターン形成方法。

【請求項8】 請求項1記載の微細パターン形成方法により製造した半導体装置。

【請求項9】 請求項1記載の微細パターン形成方法により製造した液晶装置。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】 この発明は半導体装置および液晶装置等のエレクトロニクスデバイスに適用される微細パターン形成方法およびその方法により製造した装置に関するものである。

【0002】

【従来の技術】 図7(a)～(e)は従来の微細パターン形成方法を説明するためのプロセスフロー図であり、図において、100は基板、300は被加工膜、301は加工パターン、600はレジスト、601はレジストパターンである。

【0003】 次に動作について説明する。基板100に導電性膜などの被加工膜300を形成し(図7(a))、その上にレジスト600をスピンドルコートなどにより形成し(図7(b))、これをフォトリソグラフィーに付してレジストパターン601を得る(図7(c))。次いで、このレジストパターン601をマスクとして被加工膜300をエッティングすると加工パターン301が得られ(図7(d))、最後にレジストパターン601をアッシング、剥離処理を通じて除去し所望の微細パターンの形成が終了する(図7(e))。

【0004】 次に、図8(a)～(f)は従来の他の微細パターン形成方法を説明するためのプロセスフロー図であり、図において、400はエッティングマスク膜、401は加工後エッティングマスク膜、401aは修飾後エッティングマスク膜であり、これが被加工膜300に対するハードマスクとなる。また、その他の同一符号は同一構成要素または相当部分を示すものであるからその重複説明を省略する。

【0005】 次に動作について説明する。基板100に導電性膜などの被加工膜300を形成し(図8(a))、その上に被加工膜300とエッティング速度が異なり所望の選択比を有するエッティングマスク400を形成しこれにレジスト600をスピンドルコートなどにより形成し(図8(b))、これをフォトリソグラフィーに付してレジストパターン601を得る(図8(c))。次いで、このレジストパターン601をマスクにして抜きパターン部の被加工膜300表面が露出するまでエッティングマスク膜400をエッティングし加工後エッティングマスク膜401を得る(図8(d))。

【0006】 レジストパターン601をアッシング、剥離処理などを経由して除去した後、被加工膜300とエッティング速度が異なりエッティング時の被加工膜300に対するマスクとなる膜を非選択的に等方性エッティング処理をして修飾後エッティングマスク膜401aを形成し(図8(e))、これをハードマスクにして被加工膜300をエッティングすれば、所望の微細パターンの形成が終了する(図8(f))。

【0007】

【発明が解決しようとする課題】 従来の微細パターン形成方法は以上のように構成されているので、図7に記載

50

のように、被加工膜300上にレジストパターン301を形成し、それをマスクとしてエッチングすることにより加工パターン301を形成する、または、被加工膜300とエッティング速度が異なりエッティング時の被加工膜300に対するマスクとなる膜をマスクとして被加工膜300をエッティングすることにより加工パターン301を形成する方法ではあったが、これにより形成される加工パターン301は、リソグラフィー技術の解像力以上のパターン形成が不可能といった課題があった。

【0008】また、図8に記載のように、被加工膜300とエッティング速度が異なりエッティング時の被加工膜300に対するマスクとなる膜に対して、非選択的に等方性エッティングを行いパターン加工し、これをハードマスクとして被加工膜300をエッティングすることにより加工パターン301を形成する従来の微細パターン形成方法もあったが、これでは残しパターンの全ての部分が小さくなってしまいパターン設計上困難が生ずるといった課題があった。この発明は上記のような課題を解決するためになされたもので、必要な部分の残しパターンのみが縮小でき、設計上所望のパターンを得ることができる微細パターン形成方法およびその方法により製造した装置を得ることを目的とする。

【0009】

【課題を解決するための手段】この発明に係る微細パターン形成方法は、被加工膜とエッティング速度が異なりエッティング時に被加工膜に対するマスクとなるハードマスク膜を成膜する工程と、この上にリソグラフィーにより第1レジストパターンを形成する工程と、この第1レジストパターンで覆われた部分以外を被加工膜の上面が露出するまでエッティングしハードマスクパターンを形成する工程と、第1レジストパターンを除去する工程と、ハードマスクパターン上にリソグラフィーにより第2レジストパターンを形成する工程と、この第2レジストパターンで覆われた部分以外に等方性エッティングを行う工程と、第2レジストパターンを除去する工程と、一部が等方性エッティングされたハードマスクパターンをマスクとして、被加工膜をエッティングする工程とを備えたものである。

【0010】この発明に係る微細パターン形成方法は、被加工膜が導電性膜からなるとともに、ハードマスク膜が絶縁膜からなるものである。

【0011】この発明に係る微細パターン形成方法は、被加工膜としての導電性膜がポリシリコン、タンゲステンシリサイド、アルミニウムおよびタンゲステンのうち少なくとも1種類またはこれらの多層膜により構成されるとともに、ハードマスク膜としての絶縁膜がシリコン酸化膜およびシリコン窒化膜のいずれか一方またはこれらの二層膜により構成されるものである。

【0012】この発明に係る微細パターン形成方法は、被加工膜が絶縁膜からなるとともに、ハードマスク膜が

導電性膜からなるものである。

【0013】この発明に係る微細パターン形成方法は、被加工膜としての絶縁膜がシリコン酸化膜およびシリコン窒化膜のうち一方またはこれらの二層膜により構成されるとともに、ハードマスク膜としての導電性膜がポリシリコン、タンゲステンシリサイド、アルミニウムおよびタンゲステンのうち少なくとも1種類またはこれらの多層膜により構成されるものである。

【0014】この発明に係る微細パターン形成方法は、等方性エッティングをウェットエッティングで行うものである。

【0015】この発明に係る微細パターン形成方法は、第1レジストパターンを形成する工程前に反射防止膜を形成する工程をさらに備えたものである。

【0016】この発明に係る半導体装置および液晶装置は、被加工膜とエッティング速度が異なりエッティング時に被加工膜に対するマスクとなるハードマスク膜を成膜する工程と、この上にリソグラフィーにより第1レジストパターンを形成する工程と、この第1レジストパターンで覆われた部分以外を被加工膜の上面が露出するまでエッティングしハードマスクパターンを形成する工程と、第1レジストパターンを除去する工程と、ハードマスクパターン上にリソグラフィーにより第2レジストパターンを形成する工程と、この第2レジストパターンで覆われた部分以外に等方性エッティングを行う工程と、第2レジストパターンを除去する工程と、一部が等方性エッティングされたハードマスクパターンをマスクとして、被加工膜をエッティングする工程とを備えた微細パターン形成方法により製造したものである。

【0017】
【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1(a)～(f)および図2(g)～(1)はこの発明の実施の形態1による微細パターン形成方法のプロセスフロー図であり、半導体装置ないし液晶装置の製造プロセス中の配線パターン形成時に利用するものである。

【0018】図において、1は基板、2は第1絶縁層、3はポリシリコン、タンゲステンシリサイド、アルミニウム、タンゲステンのうち少なくとも1種類、または、これらの多層膜により構成される導電性膜（被加工膜）、4はシリコン酸化膜、シリコン窒化膜のいずれか一方、または、これらの二層膜により構成される絶縁マスク膜（ハードマスク膜）、5は有機反射防止膜、6は第1レジストパターン、7は第2レジストパターン、20はコンタクトホール、41は絶縁マスクパターン（ハードマスクパターン）、41aは絶縁マスクパターン修飾部（ハードマスクパターン）、31は配線パターン、31aは細い配線パターン、8は第2絶縁層、101、102はホールパターンである。

【0019】次に動作について説明する。まず、基板1上に所望のコンタクトホール20を形成した第1絶縁層2上に導電性膜3をケミカルベーパデポジションすなわちCVD法により膜厚350nmにて成膜する(図1(a), (b))。その上に膜厚100nmの絶縁マスク膜4を成膜しレジストを塗布した後、これをクリプトンフッ素(KrF)エキシマリソグラフィーにて最小線幅がリソグラフィー解像限界範囲の180nmの残し寸法と、180nmの抜き寸法で第1レジストパターン6を形成する(図1(c)～(e))。

【0020】この際、この第1レジストパターン6の直下にはリソグラフィー特性向上のため膜厚50～80nmの有機反射防止膜5を形成してもよい(図1(e))。

【0021】なお、本微細パターンは、設計上、前記エキシマリソグラフィーの解像力を超越したパターンが望まれる。エキシマリソグラフィーにより形成した微細配線パターンをマスクとして、絶縁マスク膜4を下地の導電性膜3が露出するまで異方性エッチングを行い、絶縁マスクパターン41を形成する(図1(f))。

【0022】その後に、O2プラズマ等でアッシング処理を行うか、または、硫酸と過酸化水素水の混合溶液で第1レジストパターン6および有機反射防止膜5を除去する(図2(g))。これに、水銀ランプのg線またはi線リソグラフィーで、所望の第2レジストパターン7を膜厚1000nmで形成する(図2(h))。

【0023】これを薄く希釈した(0.5wt%)フッ素化水素溶液によりシリコン酸化膜からなる絶縁マスクパターン41を3～50nmの等方性エッチングの処理を行い、第2レジストパターン7で覆われていない部分のみシリコン酸化膜の配線幅を60～100nm縮小し絶縁マスクパターン修飾部41aを形成する(図2(i))。

【0024】次いで、前記第2レジストパターン7をO2プラズマ等でアッシング処理を行うか、または、硫酸と過酸化水素水の混合溶液で剥離し絶縁マスクパターン修飾部41aの作成を完了する(図2(j))。

【0025】そして、絶縁マスクパターン41と絶縁マスクパターン修飾部41aからなるハードマスクを使用してタンクステン等の導電性膜3に適正な異方性ドライエッチングを施し、配線パターン31および細い配線パターン31aを形成する(図2(k))。なお、このエッチング中に、絶縁マスクパターン41および絶縁マスクパターン修飾部41aは消失させても良いし残っていても良い。

【0026】上記一連の工程により、エキシマリソグラフィーの解像力を超越した80～120nmの細い配線残しパターンの形成が可能となる。

【0027】なお、その後に、たとえばシリコン酸化膜による第2絶縁層8を成膜し、また細い配線パターン3

1aを避けるように基板1に達するホールパターン102を第2絶縁層8に開孔し、また、その他の配線パターン31を踏み外さないようにホールパターン101を第2絶縁層8に開孔する(図2(1))。この際に、細い配線パターン31aはできるだけ細い方がよく、その他の配線はできるだけ太い方がよい。

【0028】次に、図3(a)～(d)はこの発明の実施の形態1による第1具体例のプロセスフローを示す平面図であり、図において、7は第2レジストパターン、41は絶縁マスクパターン、41aは絶縁マスクパターン修飾部、101、102はホールパターン、701は第2レジストパターンの抜き部である。

【0029】次に動作について説明する。図2(g)に対応した絶縁マスクパターン41が導電性膜3上に形成されており(図3(a))、この絶縁マスクパターン41の細いパターン部の一部が開口した形で第2レジストパターンが形成され(図3(b))、これに所定の等方性エッチングを施すと某開口箇所は配線幅を選択的に縮小することができ、破線部分が抜けてなくなった絶縁マスクパターン修飾部41aが形成される(図3(c))。

【0030】その後、第2レジストパターン7をアッシング、剥離処理により除去してから、絶縁マスクパターン41と絶縁マスクパターン修飾部41aをハードマスクにして、被加工膜である導電性膜3を下地の第1絶縁層が露出するまで異方性エッチングを行う。この上に、所望の厚みで第2絶縁層8を成膜してから、図3(d)のように、フォトリソグラフィーを経由し、この絶縁マスクパターン41の太いパターン部にはホールパターン101を形成し、一方、細いパターン部である絶縁マスクパターン修飾部41aの両脇にはホールパターン102を形成するとすれば、上記抜けた破線部分の幅だけ設計的余裕度を向上することが可能となる。

【0031】さらに、図4(a)～(c)はこの発明の実施の形態1による第2具体例のプロセスフローを示す平面図であり、半導体のメモリ製品において左方が周辺回路パターン領域(A)を示し右方がメモリセルパターン領域(B)を示す。図において、7は第2レジストパターン、41は絶縁マスクパターン、41aは絶縁マスクパターン修飾部、101、102はホールパターンである。

【0032】次に動作について説明する。図2(g)に対応した絶縁マスクパターン41が導電性膜3上に形成されており(図4(a))、絶縁マスクパターン41のうち左方の周辺回路パターン領域(A)は全面に第2レジストパターン7が形成されて被覆されているが、右方のメモリセルパターン領域(B)は第2レジストパターン7により被覆されていない。この状態で、所定の等方性エッチングを施したのち、第2レジストパターン7を除去すると、絶縁マスクパターン修飾部41aがメモリ

セルパターン領域(B)に得られる(図4(b))。

【0033】これらの絶縁マスクパターン41と絶縁マスクパターン修飾部41aをハードマスクにして、導電性膜3に所望のエッティングを行うと、右方のメモリセルパターン領域(B)には残しパターンの配線パターン31a(図2(k)参照)がその配線幅が縮小した形で作成される。

【0034】この上に、所望の厚みで第2絶縁層8を成膜してから、フォトリソグラフィーを経てホールパターン101, 102を形成し異方性エッティングにより開孔する(図4(c))。この際、ホールパターン101は通常どおりであるが、ホールパターン102の方は、配線パターン31aの配線幅が縮小した分だけ設計マージンが向上しているのが分かる。

【0035】このように、半導体のメモリ製品であれば、メモリセルパターン部分の配線幅だけが選択的に縮小する必要があるものの、周辺回路パターン部分は前後のホールとの関係上配線幅を太く要求される場合などに有効である。

【0036】以上のように、この実施の形態1によれば、第2レジストパターン7をマスクとして、選択的に被加工膜である導電性膜3とはエッティング速度が異なりエッティング時の被加工膜3に対するハードマスクとなる絶縁マスク膜4を選択的に等方性エッティングするため、必要な部分の残しパターンのみが縮小でき、設計上所望のパターンが実現できるという効果が得られる。

【0037】実施の形態2、図5(a)～(e)および図6(f)～(j)はこの発明の実施の形態2による微細パターン形成方法のプロセスフロー図であり、半導体装置ないし液晶装置の製造プロセス中のホールパターンまたは溝パターンを形成する際に利用するものである。

【0038】図において、1は基板、2はシリコン酸化膜、シリコン窒化膜のいずれか一方、または、これらの二層膜により構成される第1絶縁層(被加工膜)、3aはポリシリコン、タングステンシリサイド、アルミニウム、タングステンのうち少なくとも1種類、または、これらの多層膜により構成される導電性膜からなる下層配線、9はポリシリコン等のシリコン酸化膜に対するエッティング選択比が高く、したがってシリコン酸化膜エッティングのマスクとなり得る導電マスク膜(ハードマスク膜)、5は有機反射防止膜、6は第1レジストパターン、91は導電マスクパターン(ハードマスクパターン)、91aは導電マスクパターン修飾部(ハードマスクパターン)、21は絶縁パターン、21aは細い絶縁パターン、501はコンタクトホール、502は抜き部である。

【0039】次に動作について説明する。まず、基板1上にすでに加工されパターン化した下層配線3aと、その後膜厚500nmにて成膜された第1絶縁層2の上に、ポリシリコン等のシリコン酸化膜に対するエッチ

グ選択比が高くシリコン酸化膜エッティングのマスクとなり得る導電マスク膜9を、例えば150nmの膜厚で成膜する(図5(a), (b))。

【0040】その上にクリプトンフッ素(KrF)エキシマリソグラフィーにより、ホールパターンまたは溝パターンをした第1レジストパターン6を最小寸法がリソグラフィー解像限界範囲の180nmの抜き寸法でパターン形成する。また、このパターニング時にその他の寸法の第1レジストパターン6も形成されている。なお、この際にリソグラフィー特性向上のため、レジスト直下に膜厚50～80nmの有機反射防止膜5を形成しても良い(図5(c)～(d))。

【0041】ここで、本微細パターンは、設計上、前記エキシマリソグラフィーの解像力を超越したパターンが望まれる。このため、エキシマリソグラフィーにより形成した微細抜きパターンをマスクとして、ポリシリコン等のシリコン酸化膜に対するエッティング選択比が高くシリコン酸化膜エッティングのマスクとなり得る導電マスク膜9に異方性エッティング処理を施す(図5(e))。

【0042】その後に、O2プラズマ等でアッシング処理を行う、または、硫酸と過酸化水素水の混合溶液でレジストおよび有機反射防止膜5を除去し、導電マスクパターン91の作成が終了し図6(f)の状態まで達する。これに水銀ランプのg線またはi線リソグラフィーで所望の第2レジストパターン7を膜厚1000nmで形成する(図6(g))。

【0043】その後に、例えば導電マスク膜9がポリシリコンであれば塩素ガスまたはSF6/O2系のガスで、30～50nmの等方性エッティングを行い、第2レジストパターン7で覆われていない部分のみポリシリコンの抜き寸法を60～100nm拡大する(残し寸法を縮小する)。これにより導電マスクパターン修飾部91aが形成する(図6(h))。

【0044】その後に、前記第2レジストパターン7をO2プラズマ等でアッシング処理を行うか、または、硫酸と過酸化水素水の混合溶液で剥離する(図6(i))。ポリシリコンからなる導電マスクパターン91および導電マスクパターン修飾部91aをハードマスクとしてシリコン酸化膜である第1絶縁層2に適正な異方性のドライエッティングを施し、シリコン酸化膜による絶縁パターン21, 21aを形成し(図6(j))、同時にコンタクトホール501、抜き部502もできあがる。

【0045】なお、このエッティング中に、前記ポリシリコンによるハードマスクを消失させても良いし、残っていても良い。上記一連の工程により、エキシマリソグラフィーの解像力を超越したパターンの形成が可能になる。

【0046】なお、この場合、図6(j)のコンタクトホール501の部分は、すでに形成された下層配線3a

9

を踏み外さないことが要求されているため、抜き寸法を拡大できないが、図6(j)の導電マスクパターン修飾部91aはできる限り残し寸法を細くする必要があるが、この方法によりこれが実現可能となる。

【0047】以上のように、この実施の形態2によれば、第2レジストパターン7をマスクとして、選択的に被加工膜である第1絶縁膜2とエッティング速度が異なり、エッティング時の被加工膜に対するハードマスクとなる導電マスク膜9を選択的に等方性エッティングするため、必要な部分の残しパターンのみが縮小でき、設計上所望のパターンを実現できるという効果が得られる。

【0048】

【発明の効果】以上のように、この発明によれば、被加工膜とエッティング速度が異なりエッティング時に被加工膜に対するマスクとなるハードマスク膜を成膜する工程と、この上にリソグラフィーにより第1レジストパターンを形成する工程と、この第1レジストパターンで覆われた部分以外を被加工膜の上面が露出するまでエッティングしハードマスクパターンを形成する工程と、第1レジストパターンを除去する工程と、ハードマスクパターン上にリソグラフィーにより第2レジストパターンを形成する工程と、この第2レジストパターンで覆われた部分以外に等方性エッティングを行う工程と、第2レジストパターンを除去する工程と、一部が等方性エッティングされたハードマスクパターンをマスクとして、被加工膜をエッティングする工程とを備えるように構成したので、第2レジストパターンをハードマスクとして、選択的に被加工膜とエッティング速度が異なりエッティング時の被加工膜に対するマスクとなるハードマスク膜を等方性エッティングすることにより、必要な部分の残しパターンのみが縮小でき、設計上所望のパターンを得ることができるという効果がある。

【0049】この発明によれば、被加工膜が導電性膜からなるとともに、ハードマスク膜が絶縁膜からなるように構成したので、選択的ハードマスクの縮小による配線形成が可能となる効果がある。

【0050】この発明によれば、被加工膜としての導電性膜がポリシリコン、タンゲステンシリサイド、アルミニウムおよびタンゲステンのうち少なくとも1種類またはこれらの多層膜により構成されるとともに、ハードマスク膜としての絶縁膜がシリコン酸化膜およびシリコン窒化膜のいずれか一方またはこれらの二層膜により構成されたので、選択的ハードマスクの縮小による配線形成が具体的に実現可能となる効果がある。

【0051】この発明によれば、被加工膜が絶縁膜からなるとともに、ハードマスク膜が導電性膜からなるように構成したので、選択的ハードマスクの縮小によるホール形成が可能となる効果がある。

【0052】この発明によれば、被加工膜としての絶縁膜がシリコン酸化膜およびシリコン窒化膜のうち一方ま

10

たはこれらの二層膜により構成されるとともに、ハードマスク膜としての導電性膜がポリシリコン、タンゲステンシリサイド、アルミニウムおよびタンゲステンのうち少なくとも1種類またはこれらの多層膜により構成されたので、選択的ハードマスクの縮小によるホール形成が具体的に実現可能となる効果がある。

【0053】この発明によれば、等方性エッティングをウェットエッティングで行うように構成したので、所望の絶縁膜からなる選択的ハードマスクの縮小が有効かつ容易にできる効果がある。

【0054】この発明によれば、第1レジストパターン形成する工程前に反射防止膜を形成する工程をさらに備えるように構成したので、形成される第1レジストパターンの形状が安定し、ひいては出来上がり配線またはホールの形状が安定する効果がある。

【0055】この発明によれば、半導体装置ないし液晶装置が、被加工膜とエッティング速度が異なりエッティング時に被加工膜に対するマスクとなるハードマスク膜を成膜する工程と、この上にリソグラフィーにより第1レジストパターンを形成する工程と、この第1レジストパターンで覆われた部分以外を被加工膜の上面が露出するまでエッティングしハードマスクパターンを形成する工程と、第1レジストパターンを除去する工程と、ハードマスクパターン上にリソグラフィーにより第2レジストパターンを形成する工程と、この第2レジストパターンで覆われた部分以外に等方性エッティングを行う工程と、第2レジストパターンを除去する工程と、一部が等方性エッティングされたハードマスクパターンをマスクとして、被加工膜をエッティングする工程とを備えた微細パターン形成方法により製造するように構成したので、設計上所望のパターンを得ることができ装置設計マージンが拡大する効果がある。

【図面の簡単な説明】

【図1】この発明の実施の形態1による微細パターン形成方法のプロセスフロー図である。

【図2】この発明の実施の形態1による微細パターン形成方法のプロセスフロー図である。

【図3】この発明の実施の形態1による第1具体例のプロセスフローを示す平面図である。

【図4】この発明の実施の形態1による第2具体例のプロセスフローを示す平面図である。

【図5】この発明の実施の形態2による微細パターン形成方法のプロセスフロー図である。

【図6】この発明の実施の形態2による微細パターン形成方法のプロセスフロー図である。

【図7】従来の微細パターン形成方法を説明するためのプロセスフロー図である。

【図8】従来の他の微細パターン形成方法を説明するためのプロセスフロー図である。

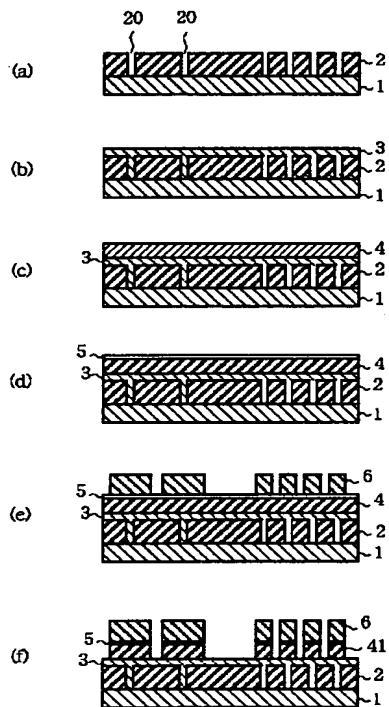
【符号の説明】

50

11

1 基板、2 第1絶縁層（被加工膜）、3 導電性膜（被加工膜）、3 a 下層配線、4 絶縁マスク膜（ハードマスク膜）、5 有機反射防止膜、6 第1レジストパターン、7 第2レジストパターン、8 第2絶縁層、9 導電マスク膜（ハードマスク膜）、20 コンタクトホール、21 絶縁パターン、21 a 細い絶縁パターン、31 配線パターン、31 a 細い配線パターン*

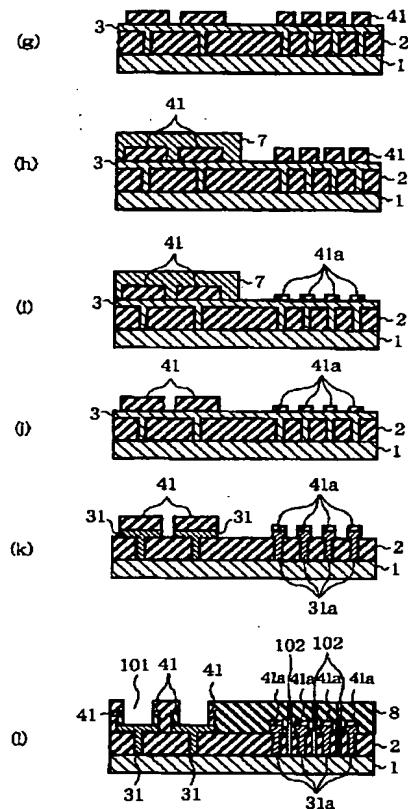
【図1】



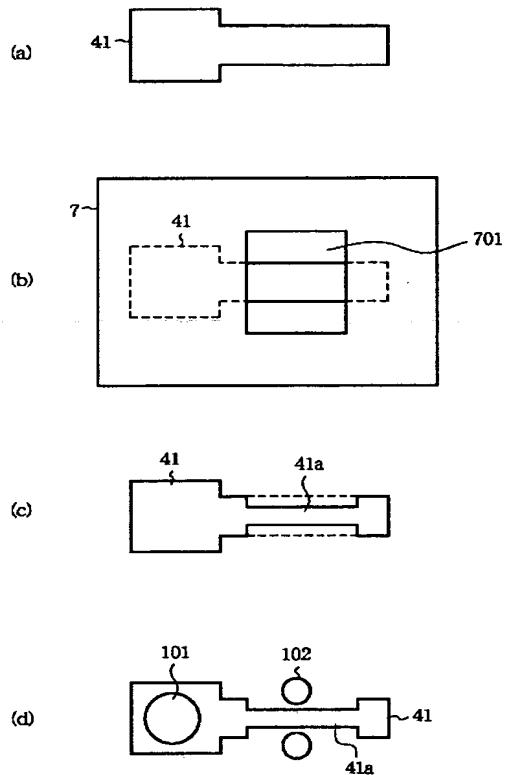
12

*—、41 絶縁マスクパターン（ハードマスクパターン）、41 a 絶縁マスクパターン修飾部（ハードマスクパターン）、91 導電マスクパターン（ハードマスクパターン）、91 a 導電マスクパターン修飾部（ハードマスクパターン）、101, 102 ホールパターン、501 コンタクトホール、502 抜き部。

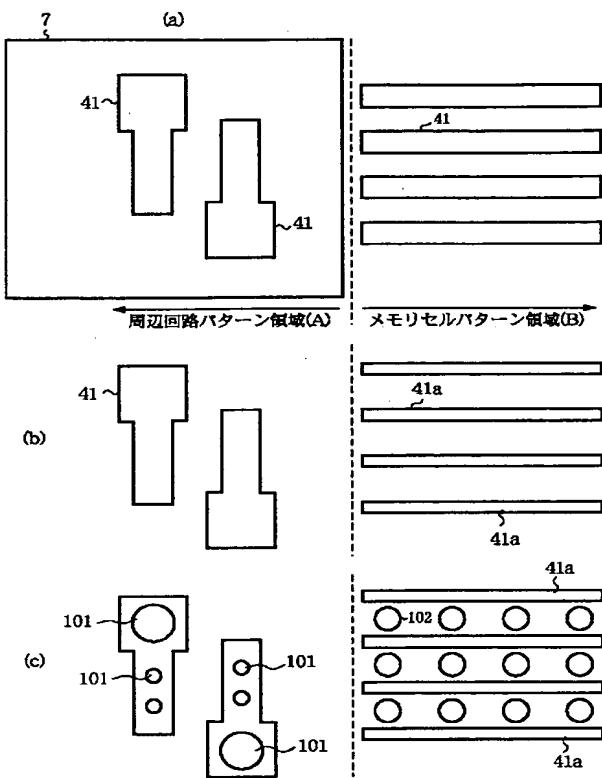
【図2】



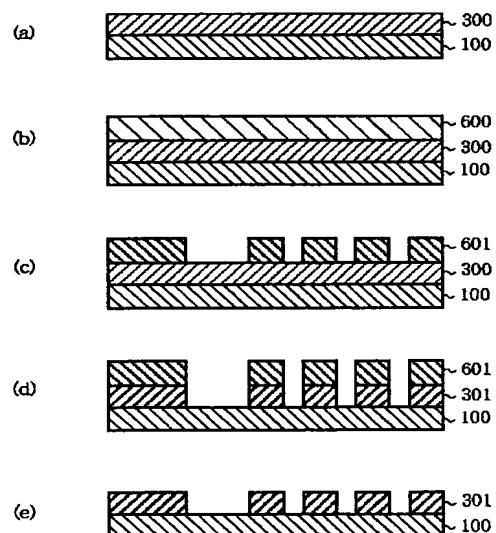
【図3】



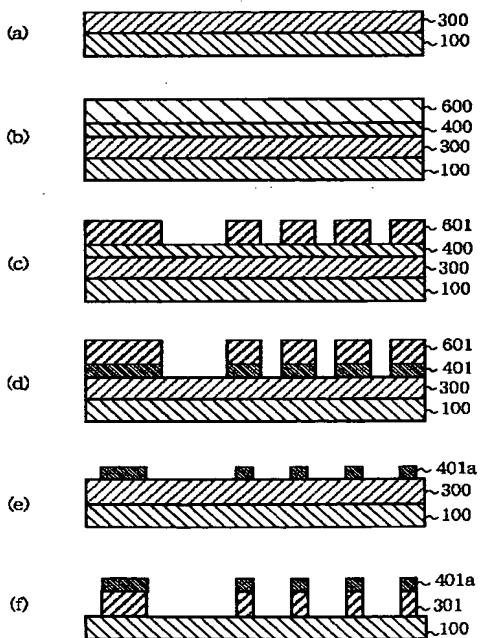
【図4】



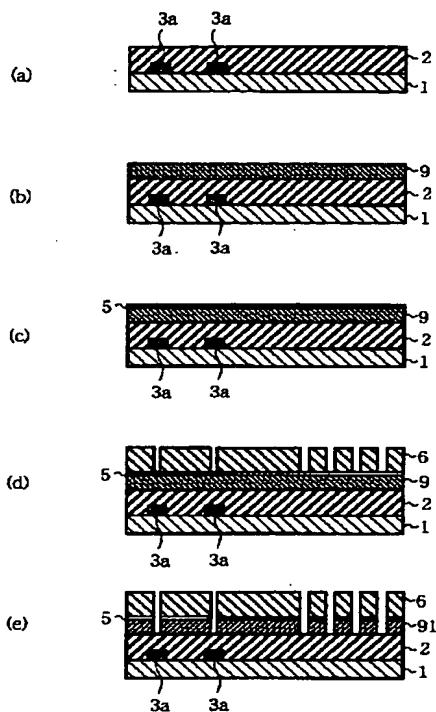
【図7】



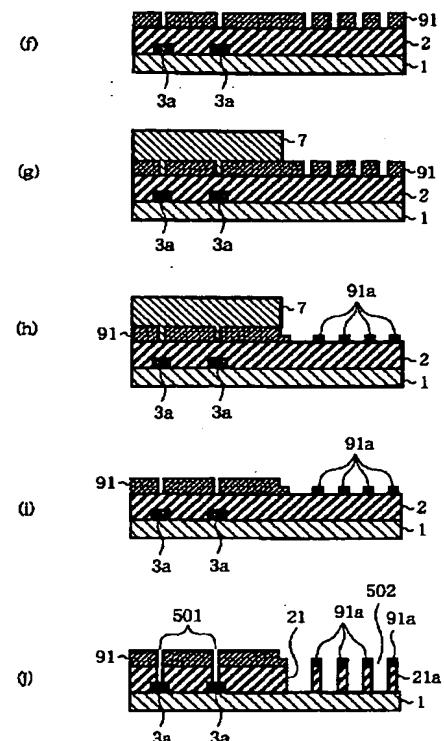
【図8】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テマコード(参考)

H O 1 L 21/8242

F ターム(参考) 5F004 AA16 DA04 DA18 DA26 DB02
DB03 DB07 DB09 DB10 DB15
EA05 EA06 EA07 EA10 EB02
FA08
5F033 HH04 HH08 HH19 HH28 JJ01
JJ04 JJ08 JJ19 JJ28 KK01
KK04 KK08 KK19 KK28 PP06
QQ01 QQ04 QQ08 QQ09 QQ10
QQ12 QQ16 QQ18 QQ19 QQ27
QQ28 QQ37 RR04 RR06 UU01
VV16 XX03
5F043 AA29 AA31 AA35 AA38 BB21
BB22 BB23 GG02
5F046 AA05 AA28 PA07
5F083 GA27 JA32 JA35 JA36 JA39
LA11 LA21 PR03 PR05 PR21

THIS PAGE BLANK (USPTO)